

DRAM

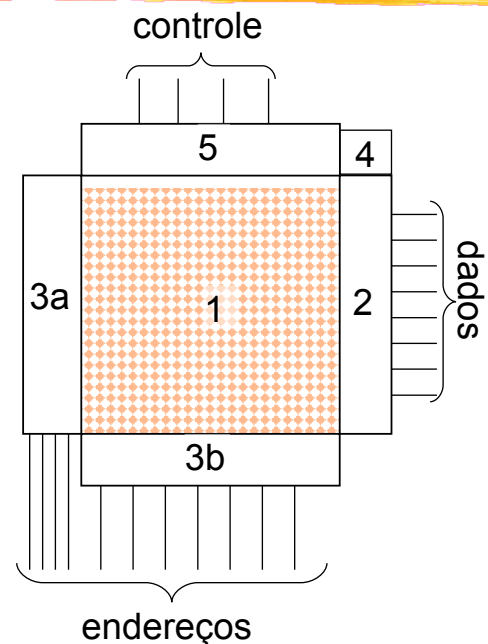
- *Dynamic Random Access Memory*
 - memória de acesso aleatório que mantém os dados armazenados por um curto período (ms), necessitando que as células que armazenam os bits sejam atualizadas (*refresh*) para retenção dos dados por longos períodos
 - Baseadas na carga armazenada em capacitores
 - Circuito reduzido (1 capacitor e 1 transistor por bit)
 - São as memórias de maior densidade atualmente

Prof. Marlio Bonfim TE159 - Memórias

1

DRAM

- Blocos principais
 - 1) Matriz de células básicas
 - 2) Circuito de entrada/saída
 - 3) Decodificador de endereços (circuito de seleção de linhas e colunas)
 - 3a) Decodificador de linhas
 - 3b) Decodificador de colunas
 - 4) Circuito de pré-carga
 - 5) Lógica de controle:
 - RAS: Row Address Strobe
 - CAS: Colum Address Strobe
 - Contador de Refresh

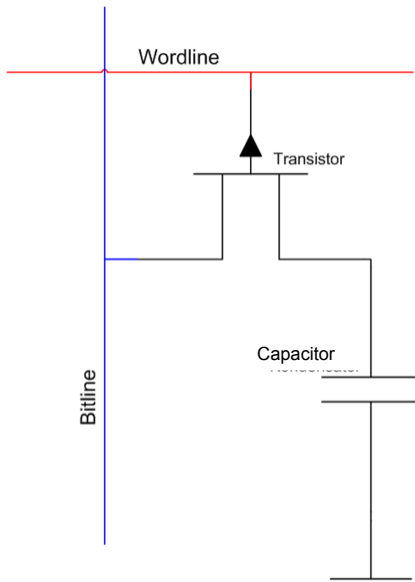


Prof. Marlio Bonfim TE159 - Memórias

2

DRAM – Célula Básica

- Circuito típico de uma célula com 1 Transistor (1 bit)



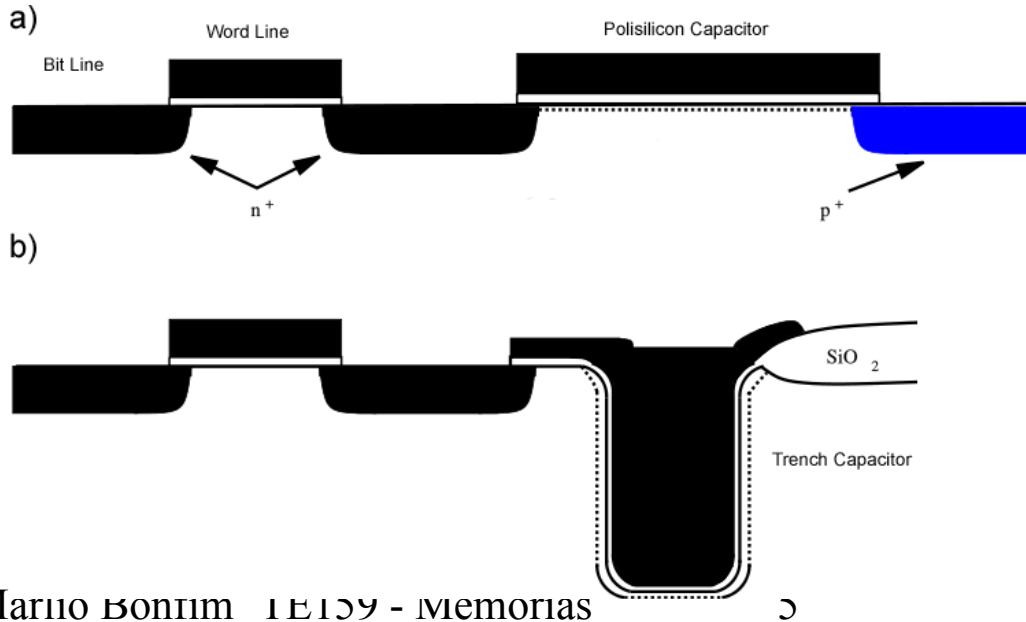
- Tensão no Capacitor define níveis "0" ou "1"
- Transistor ativado para efetuar leitura/escrita
- WL: Linha de acesso (escrita e leitura)
- BL: Linha de bit

DRAM – Célula Básica

- Características do circuito 1T/1C:
 - Transistores de acesso tipo N
 - Capacitores: substrato/dielétrico/polysilício (~10fF)
 - Dielétrico: SiO₂,
 - Apenas uma linha de dados: circuito simplificado porém mais sujeito a erros
 - A cada leitura da célula as cargas do capacitor são perdidas
 - Ao final da leitura os capacitores são recarregados com o valor precedente (*refresh*)

DRAM – Célula Básica

- Estrutura em corte:

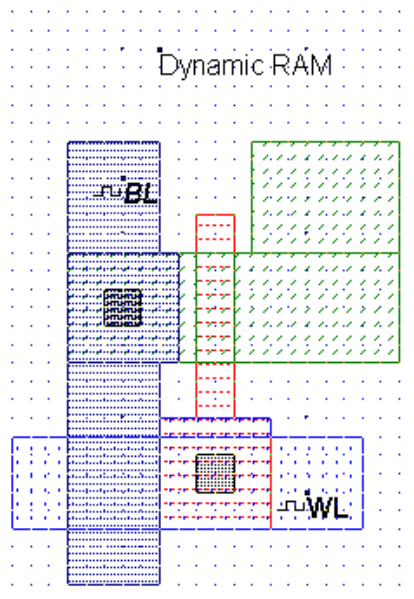


Prof. Marlio Bonfim TE159 - MEMÓRIAS

DRAM – Célula Básica

- Exemplo de *layout*:

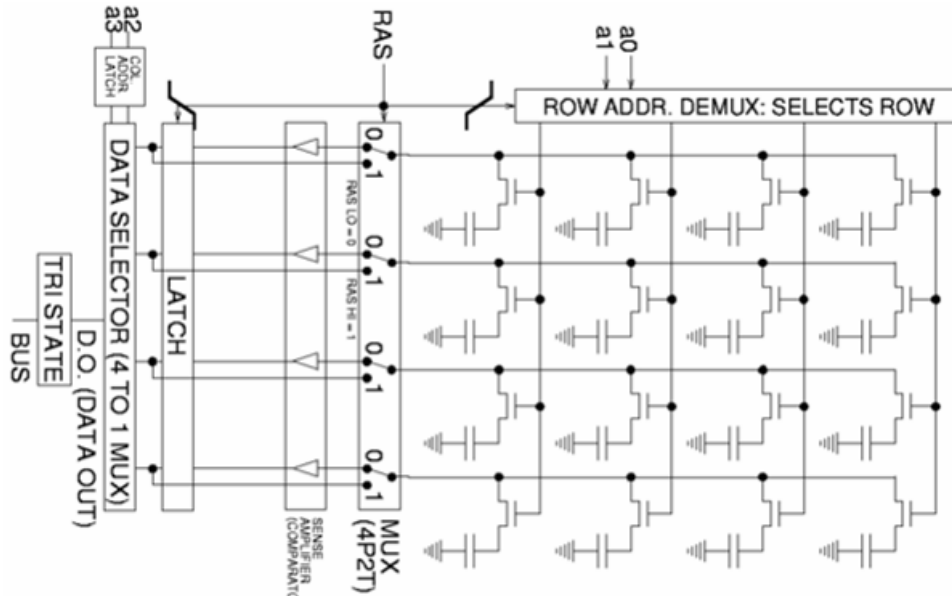
Metal 2	
Metal 1	
Contact	
Polysilicon	
P+ Diffusion	
N+ Diffusion	
N Well	



Prof. Marlio Bonfim TE159 - Memórias

DRAM – Célula Básica

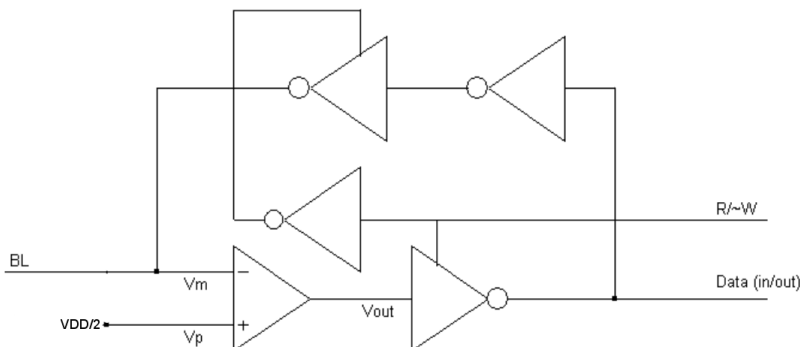
- Exemplo de matriz de 4x4 bits (16 transistores)



Prof. Marlio Bonfim TE159 - Memórias

DRAM – Circuito de entrada/saída

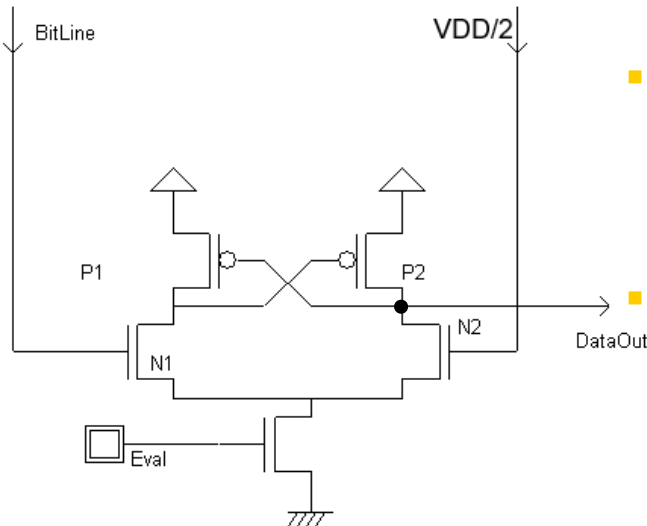
- Circuito típico de I/O (1 bit)



- Controla o fluxo de dados gravados e lidos
- Possibilita acesso bidirecional na mesma linha de dados
- 1 circuito para cada linha de bit
- Amplificador diferencial para linhas de bits: resposta mais rápida e maior imunidade a ruído

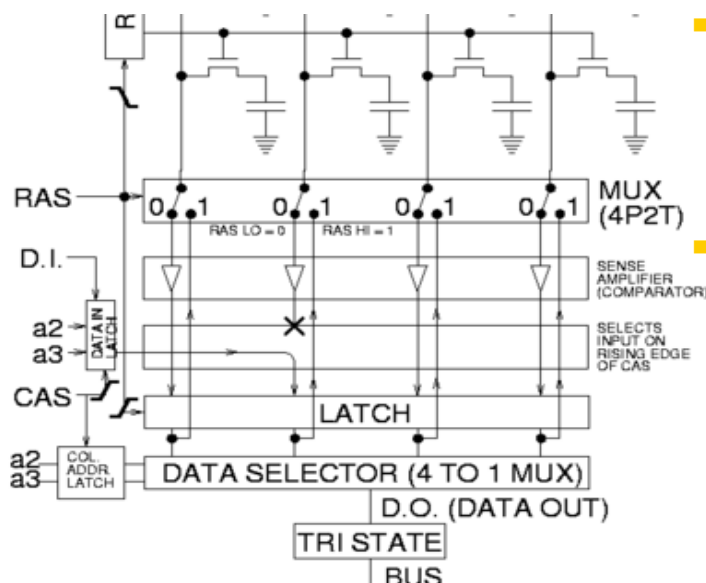
DRAM – Circuito de entrada/saída

Amplificador diferencial:



- Entrada "-" referenciada a $V_{DD}/2$
- Ganho superior ao da memória estática: maior sensibilidade a ruídos
- Saída modo comum

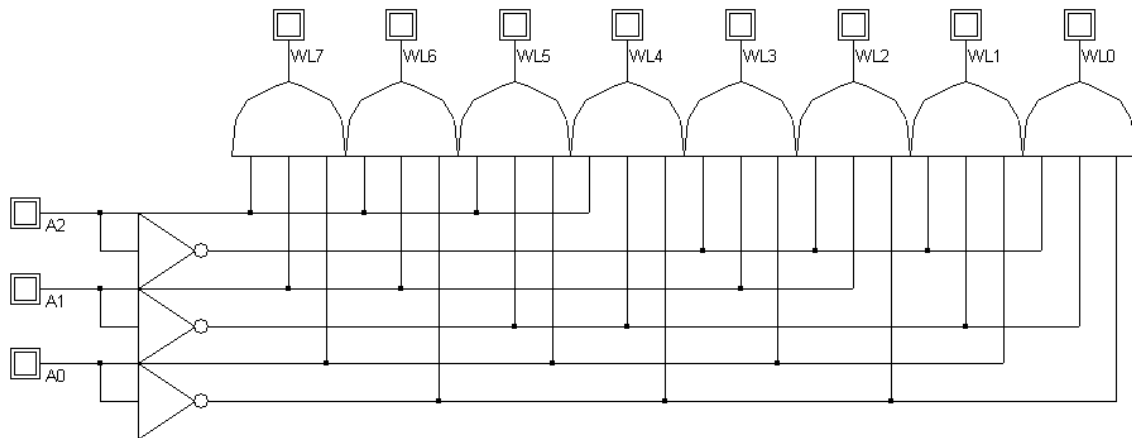
DRAM – Circuito de *refresh*



- Quando uma linha é lida dados são armazenados no latch ($RAS="0"$)
- Ao final da leitura os dados do latch são realimentados para as células ($RAS="1"$)

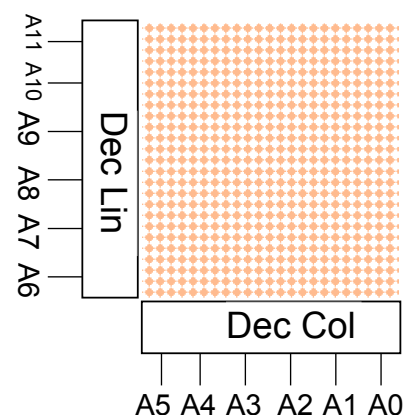
DRAM – Decodificador de endereços

- Gera sinais individuais WL a partir do endereçamento codificado em binário



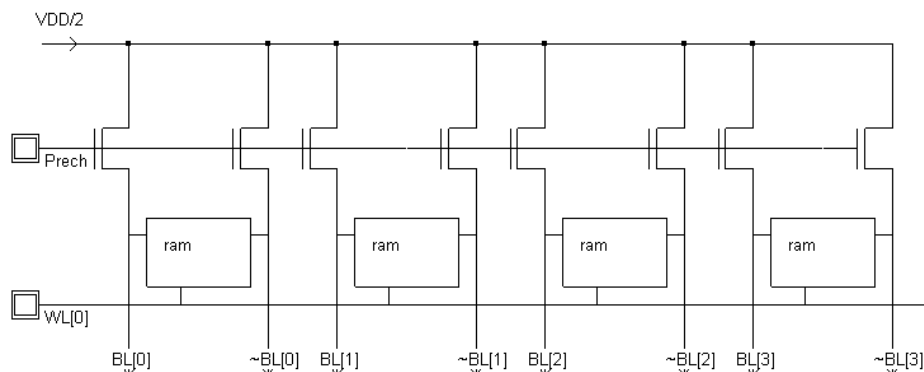
DRAM – Decodificador de endereços

- Decodificador dividido em 2 partes:
 - Colunas : A_0 a $A_{n/2-1}$
 - Linhas : $A_{n/2}$ a A_{n-1}
- Melhor aproveitamento da área do chip (quadrado)
- Reduz complexidade do decodificador



DRAM – Circuito de pré-carga

- Circuito que carrega as linhas BL com uma tensão próxima de $V_{DD}/2$ antes de ser efetuada uma leitura
 - Apaga a "imagem" do dado anterior
 - Melhora a detecção de ambos os níveis "0" e "1"
 - Acelera a detecção do bit pelo amplificador diferencial

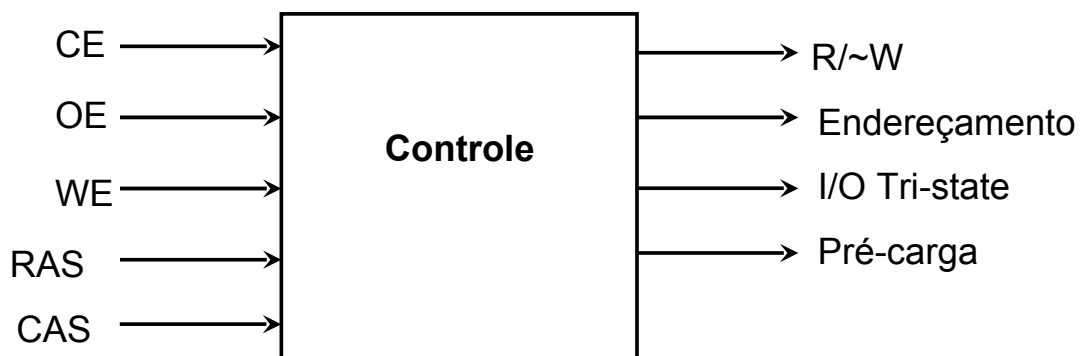


Prof. Marlio Bonfim TE159 - Memórias

13

DRAM – Circuito de controle

- Circuito que controla as linhas de dados, endereços, portas de entrada/saída e pré-carga a partir de sinais externos provenientes de um microprocessador, microcontrolador, etc.



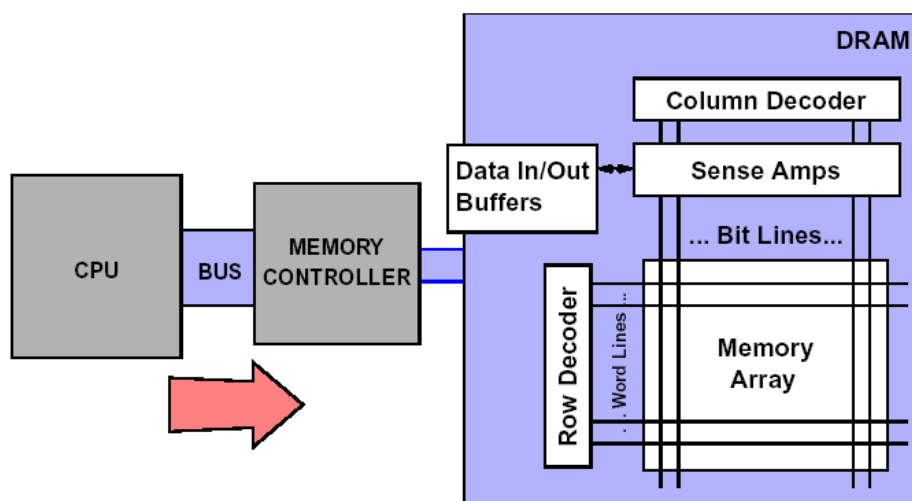
Prof. Marlio Bonfim TE159 - Memórias

14

DRAM – Circuito de controle

- Sinais externos típicos:
- CE (Chip Enable): Habilita a memória para leitura e/ou escrita. Quando desabilitado retém os dados desde que seja mantida a tensão de alimentação.
- OE (Output Enable): Habilita o circuito de I/O e o circuito de pré-carrega para leitura ou escrita dos dados
- WE (Write Enable): Controla o circuito de I/O como entrada ou saída
- RAS: Habilita acesso às linhas
- CAS: Habilita acesso às colunas

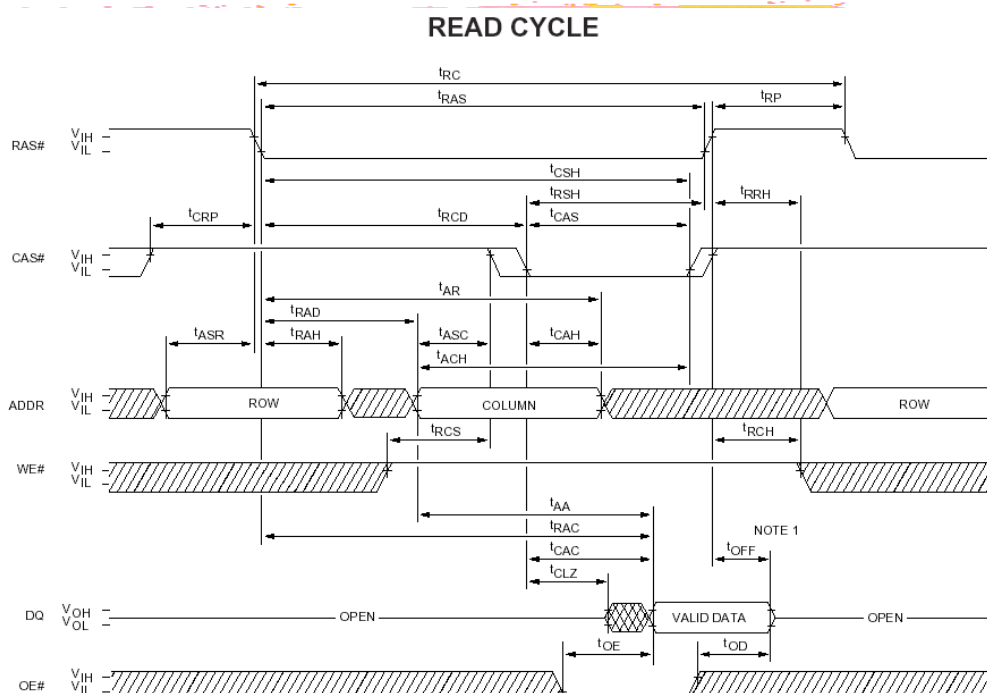
DRAM – Circuito de controle



DRAM – Lógica de acesso

- RAS: Endereço da linha capturado na borda de descida do RAS; linha correspondente é habilitada enquanto RAS="0"; pré-carga das linhas de bit (BL)
- CAS: Endereço da coluna capturado na borda de descida do CAS; seleciona coluna da linha previamente habilitada pelo RAS para escrita ou leitura.
- WE: Determina se a borda de descida do CAS é leitura (WE="1") ou escrita (WE="0"). Ao final de uma leitura é realizado o *refresh* do endereço acessado.
- OE: Habilita o circuito de I/O na condição RAS=CAS="0" e WE="1". OE pode ficar sempre habilitado, mas é útil para conexão em paralelo de várias memórias no mesmo barramento de dados.

DRAM – Lógica de acesso



DRAM – Variantes

- **VRAM: DRAM com barramento duplo de dados:**
 - Leitura contínua e sequencial dos dados para o DAC de vídeo
 - Escrita aleatória a partir da CPU
- **FPM DRAM: opera com paginação de dados**
 - uma linha pode ser mantida (RAS) enquanto o endereço é mudado e as colunas acessadas (CAS)
 - Tempo de acesso reduzido: único acesso à linha e pré-carga
- **EDO DRAM: similar à FPM**
 - Um novo ciclo de acesso pode ser iniciado enquanto os dados do ciclo anterior são lidos (dado mantido até novo CAS="0").
 - Também chamada de Hyper Page DRAM

DRAM – Variantes

- **BEDO DRAM: variante da EDO**
 - contador interno incrementa até 4 endereços sequenciais reduzindo os tempos de acesso
- **SDRAM: opera em sincronia com o clock da CPU**
 - Máquina de estados interna gerencia instruções recebidas da CPU
 - operações podem ser empilhadas reduzindo o tempo de acesso
 - Escrita: um novo comando pode ser dado antes que os dados sejam realmente escritos na memória
 - Leitura: os dados lidos aparecem no barramento um número fixo de períodos de clock (n) após o pedido de leitura, permitindo que a CPU realize outros acessos, uma vez que esse tempo é fixo e conhecido.

DRAM – Variantes

- SGDRAM: SDRAM com facilidades para operações gráficas
- DRDRAM: tipo de SDRAM desenvolvida pela Rambus Corporation muito popular no início dos anos 2000
- SDR SDRAM: aceita um comando e transfere um byte de dados a cada ciclo de clock
- DDR SDRAM: aceita um comando e transfere um byte de dados a cada meio ciclo de clock
 - Redução pela metade no tempo de acesso aos dados com a mesma frequência de clock do sistema

DRAM – Assíncrona X Síncrona

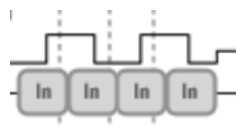
- A DRAM convencional (assíncrona) normalmente é operada por um circuito adicional de controle que gera os sinais de RAS e CAS, liberando a CPU para operações mais importantes. A desvantagem é que o acesso à memória fica mais lento, pois não há sincronismo das operações.
- A DRAM síncrona foi desenvolvida para tornar o acesso mais rápido, pois a memória e seu controlador operam na mesma frequência de clock do sistema que controla a CPU. A sincronização acelera e facilita a transferência de dados entre CPU e memória, possibilitando novas instruções antes de finalizada a operação.

SDRAM – sinais de controle

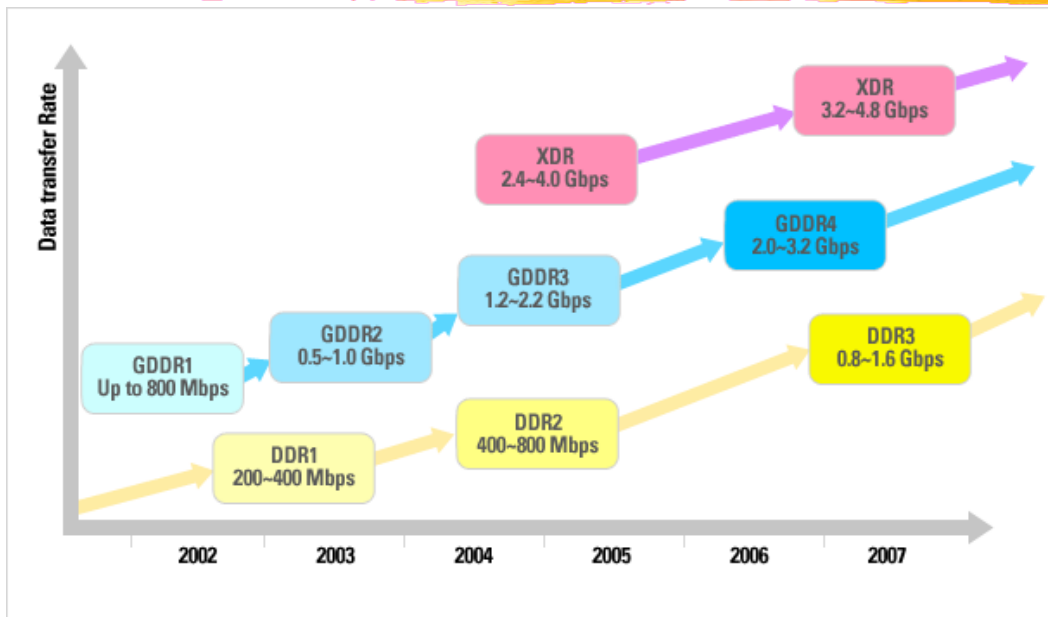
- CK (Clock): entrada do sinal de clock do sistema
- CKE (Clock Enable): ativa o clock no circuito interno.
- CS (Chip Select): habilita o chip
- DQM (Data Mask): equivalente ao OE. Normalmente existe 1 DQM para cada grupo de 8 bits de dados.
- RAS (Row Address Strobe): idêntico à DRAM.
- CAS (Column Address Strobe): idêntico à DRAM
- WE (Write Enable): idêntico à DRAM

SDRAM-DDR

- **DDR: *Double Data Rate***
 - Dado é lido/escrito tanto na subida quanto na descida do sinal de clock
 - Velocidade de transferência de dados é o dobro da frequência de clock
 - Tornou-se viável pelo uso de um sinal de clock único: memória/controlador/CPU

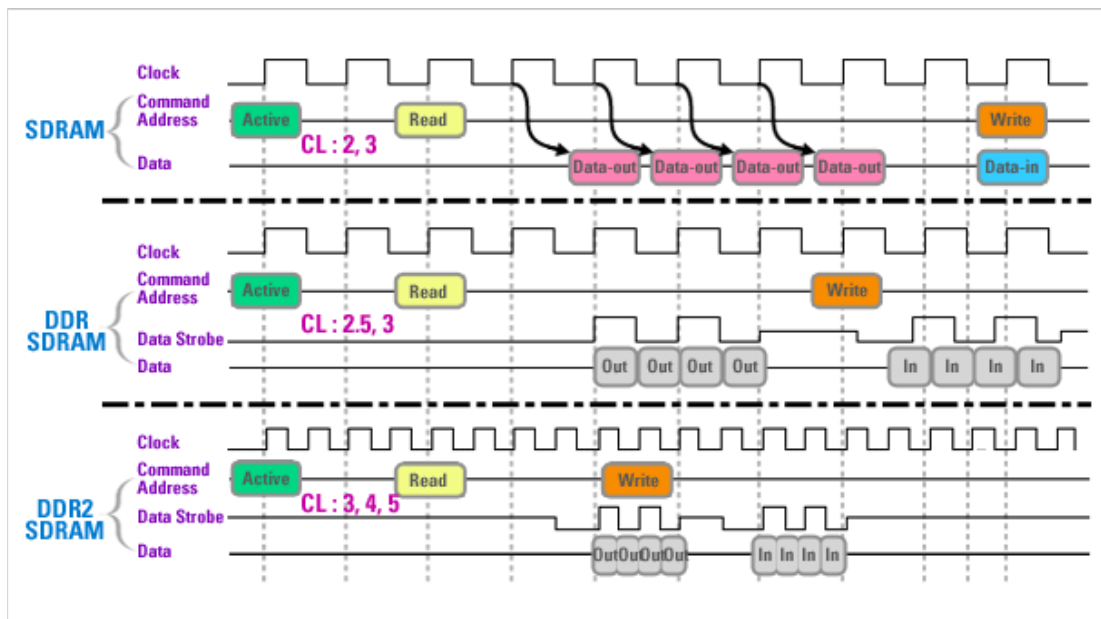


SDRAM – Evolução



SDRAM – SDRxDDR

▪ Diagrama de tempos comparativo:



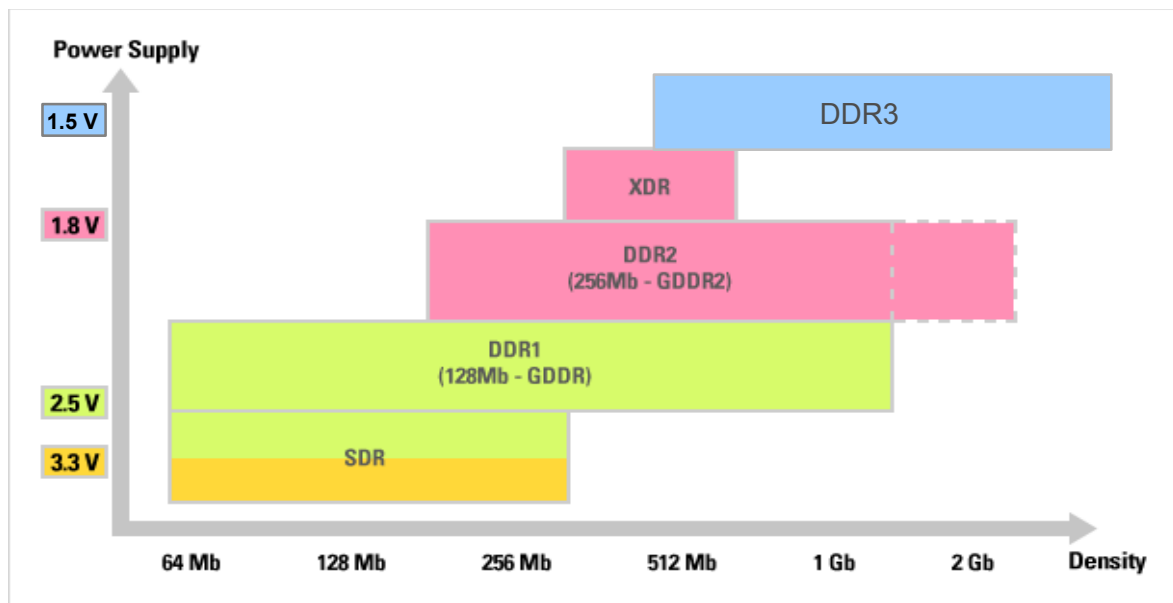
DDR-RAM – Prefetch

- Leitura dos dados em 3 fases:
 - Precarga da BL: ~5 ns
 - Acesso à linha (RAS): etapa mais lenta (50 ns)
 - Acesso à coluna (CAS): ~ 5 a 10 ns
- Leitura sequencial em colunas:
 - Acesso à linha (RAS) já efetuado
 - Acesso às colunas adjacentes de modo rápido e sequencial
 - 1 amplificador para cada coluna
 - DDR3-DRAM de 1Gb: 2048 colunas

DDR-RAM – Prefetch

- *Prefetch buffer*:
 - Um único endereço enviado pelo controlador de memória
 - Endereços adjacentes gerados automaticamente na mesma velocidade da leitura das colunas
 - Dado armazenado em buffer interno de n endereços
 - DDR: $n=2$
 - DDR2: $n=4$
 - DDR3: $n=8$
- Também utilizado para acelerar o acesso aos vários chips em um “pente de memória”

SDRAM – Densidade X VDD



Prof. Marlio Bonfim TE159 - Memórias

31

SDRAM – Quadro comparativo

	SDRAM	DDR	DDR2	DDR3
Vdd/Vddq	3.3V	2.5V	1.8V	1.5V
Package	54 TSOP-II	66 TSOP-II 60 BGA	60/84 BGA	84/144 BGA
Bit Org.	x4, x8, x16			
Clock Freq	~167 Mhz	100~200 Mhz	200~400 Mhz	400~1066 MHz
Data rate	~167 Mtps	200~400 Mtps	400~800 Mtps	800~2133 Mt/s
Interface	LVTTL	SSTL_2	SSTL_18	SSTL_15
Prefetch	N/A	2	4	8
Burst Length	1, 2, 4, 8, F/P	2, 4, 8	4, 8	4,8
Strobe	No	Yes	Yes	Yes

DDR3 – Quadro comparativo

Standard name	Memory clock (MHz)	Cycle time (ns)	I/O bus clock (MHz)	Data rate (MT/s)	Module name	Peak transfer rate (MB/s)	Timings (CL-tRCD-tRP)
DDR3-800D DDR3-800E	100	10	400	800	PC3-6400	6400	5-5-5 6-6-6
DDR3-1066E DDR3-1066F DDR3-1066G	133	$7\frac{1}{2}$	533	1066	PC3-8500	8533	6-6-6 7-7-7 8-8-8
DDR3-1333F* DDR3-1333G DDR3-1333H DDR3-1333J*	166	6	667	1333	PC3-10600	10667	7-7-7 8-8-8 9-9-9 10-10-10
DDR3-1600G* DDR3-1600H DDR3-1600J DDR3-1600K	200	5	800	1600	PC3-12800	12800	8-8-8 9-9-9 10-10-10 11-11-11
DDR3-1866J* DDR3-1866K DDR3-1866L DDR3-1866M*	233	$4\frac{2}{7}$	933	1866	PC3-14900	14933	10-10-10 11-11-11 12-12-12 13-13-13
DDR3-2133K* DDR3-2133L DDR3-2133M DDR3-2133N*	266	$3\frac{3}{4}$	1066	2133	PC3-17000	17066	11-11-11 12-12-12 13-13-13 14-14-14