

Controlador de Memória

- Interface entre a CPU e o banco de memórias DRAM

Função principal:

- Gera sinais de controle necessários ao acesso às memórias

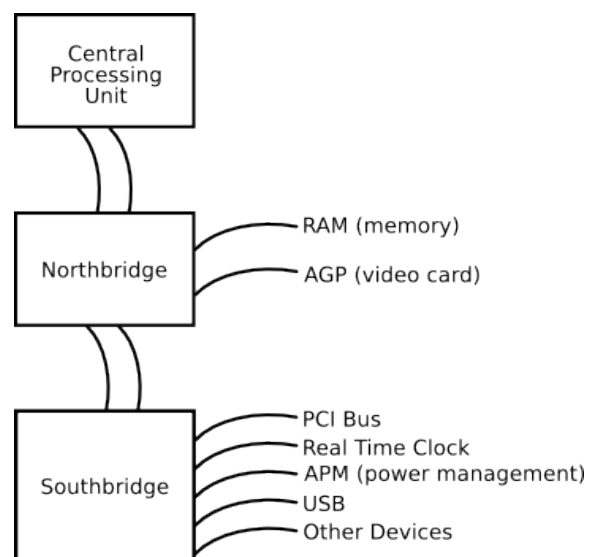
Funções secundárias:

- Gerencia placa de vídeo
- Interface com controlador de periféricos

Controlador de Memória

- Outros termos:

- Northbridge
- MCH (Memory Controller Hub)
- GMCH (Graphics and Memory Controller Hub)



Controlador de Memória

- Tempos de espera (latência):
 - t_{CAS} (CAS Latency): número de ciclos de clock para acessar uma coluna de dados. Também chamado de "Column Address Strobe Latency," ou tCL.
 - t_{RCD} (RAS to CAS Delay): número de ciclos de clock necessários entre os sinais de RAS e CAS. Também chamado de "Row address to Column address Delay"
 - t_{RP} (RAS Precharge): número de ciclos de clock para terminar o acesso a uma linha de dados aberta e acessar uma outra. Também chamado de "Row precharge time".
 - t_{RAS} : número de ciclos de clock para acessar uma linha entre a requisição de um dado e o comando de pré-carga. Também chamado de "Active to Precharge Delay"

Prof. Marlio Bonfim TE159 - Memórias

3

Controlador de Memória

- Tempos de espera (latência):
 - Especificação dos tempos: $t_{CAS} - t_{RCD} - t_{RP} - t_{RAS}$
 - Serial Presence Detect (SPD): Dados de tempos contidos em PROM no módulo de memória

Prof. Marlio Bonfim TE159 - Memórias

4

Controlador de Memória

- Evolução dos “pentes” de memória:

- SIMM (30 pin)

-

- SIMM (72 pin)

- DIMM (168-pin)

- DDR DIMM (184-pin)



Controlador de Memória

- Evolução dos “pentes” de memória:

- DDR2 DIMM (240-pin)

- DDR3 DIMM (240-pin)



Controlador de Memória

- Especificação JDEC para controlador DDR-SDRAM para barramento de 64 bits de dados (8x1 Byte)
 - PC-1600: 100 MHz, DDR-200 chips, 1.600 GB/s
 - PC-2100: 133 MHz, DDR-266 chips, 2.133 GB/s
 - PC-2700: 166 MHz, DDR-333 chips, 2.667 GB/s
 - PC-3200: 200 MHz, DDR-400 chips, 3.200 GB/s

Controlador de Memória

- Especificação JDEC para controlador DDR2-SDRAM para barramento de 64 bits de dados

Standard name	Memory clock	Cycle time	I/O Bus clock	Data transfers per second	Module name	Peak transfer rate	Timings ^{[2][3]}
DDR2-400	100 MHz	10 ns	200 MHz	400 Million	PC2-3200	3200 MB/s	3-3-3 4-4-4
DDR2-533	133 MHz	7.5 ns	266 MHz	533 Million	PC2-4200 PC2-4300 ¹	4266 MB/s	3-3-3 4-4-4
DDR2-667	166 MHz	6 ns	333 MHz	667 Million	PC2-5300 PC2-5400 ¹	5333 MB/s	4-4-4 5-5-5
DDR2-800	200 MHz	5 ns	400 MHz	800 Million	PC2-6400	6400 MB/s	4-4-4 5-5-5 6-6-6
DDR2-1066	266 MHz	3.75 ns	533 MHz	1066 Million	PC2-8500 PC2-8600 ¹	8533 MB/s	6-6-6 7-7-7

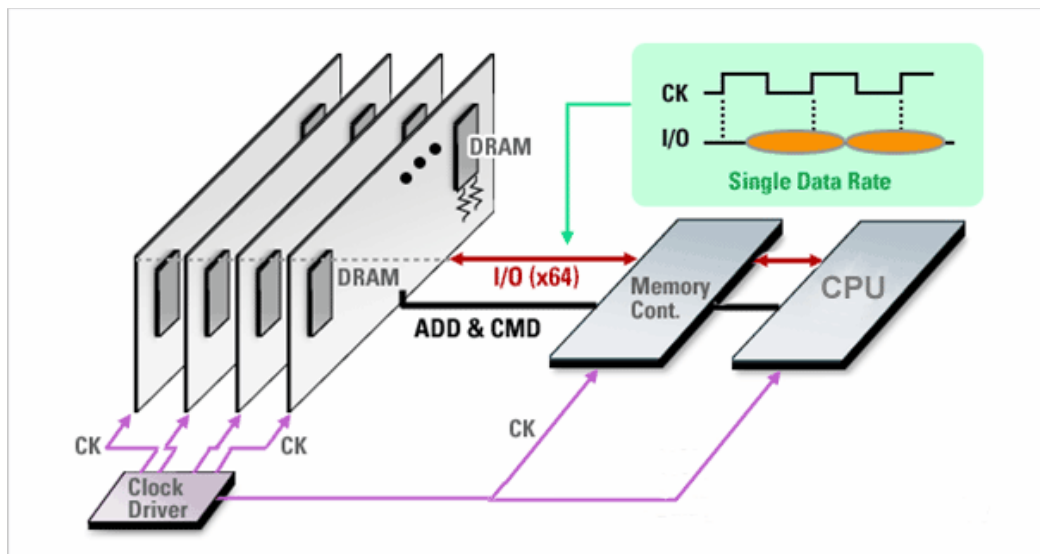
Controlador de Memória

- Modificações atuais
- **AMD64**: possui controlador de memória no mesmo chip da CPU:
 - Agiliza a comunicação entre CPU e banco de memórias
 - Reduz custos com chips adicionais e simplifica lay-out
 - Solução dedicada: limita uso de novas tecnologias de memórias
- Intel e IBM: controlador de memória externo

Comparativo de tempos

Type	Data rate	Bit time	Command rate	Cycle time	CL	First word	Fourth word	Eighth word
PC100	100 MT/s	10 ns	100 MHz	10 ns	2	20 ns	50 ns	90 ns
PC133	133 MT/s	7.5 ns	133 MHz	7.5 ns	3	22.5 ns	45 ns	75 ns
DDR-333	333 MT/s	3 ns	166 MHz	6 ns	2.5	15 ns	24 ns	36 ns
DDR-400	400 MT/s	2.5 ns	200 MHz	5 ns	3	15 ns	22.5 ns	32.5 ns
					2.5	12.5 ns	20 ns	30 ns
					2	10 ns	17.5 ns	27.5 ns
DDR2-800	800 MT/s	1.25 ns	400 MHz	2.5 ns	5	12.5 ns	16.25 ns	21.25 ns
DDR3-1333	1333 MT/s	0.75 ns	666 MHz	1.5 ns	9	13.5 ns	15.75 ns	18.75 ns
DDR3-1600	1600 MT/s	0.625 ns	800 MHz	1.25 ns	9	11.25 ns	13.125 ns	15.625 ns
					8	10 ns	11.875 ns	14.375 ns
					7	8.75 ns	10.625 ns	13.125 ns

DRAM – Configuração de Barramento

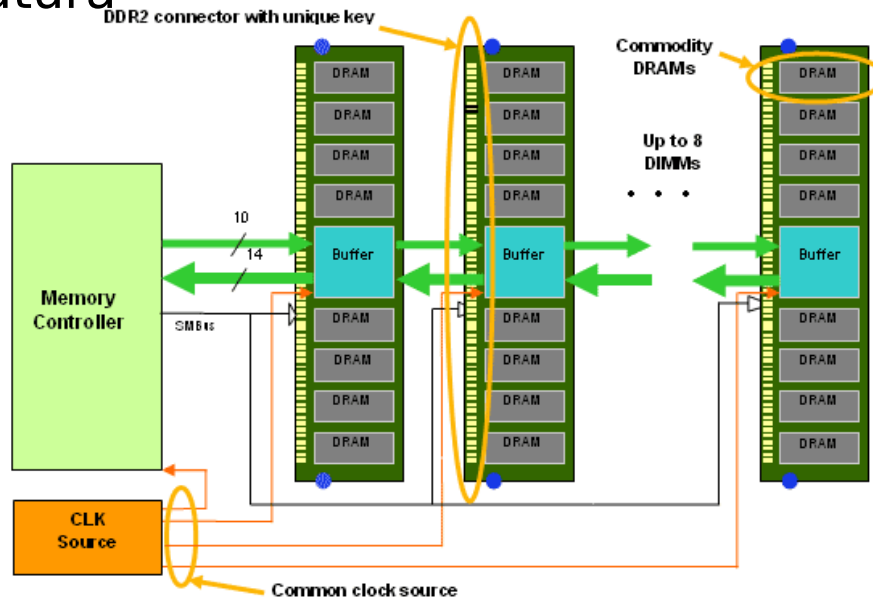


FB-DIMM

- *Fully Buffered Dual In-line Memory Module*
 - Novo padrão de comunicação entre os chips de SDRAM e o controlador de memórias
 - Comunicação serial/paralela de alta velocidade
 - Linhas de comunicação em pares diferenciais unidirecionais
 - Segue a mesma tendência dos barramentos PCI Express e Hypertransport
 - Introduzido pela Intel em 2005, normatizado pela JEDEC em 2006
 - Usado atualmente em servidores de alto desempenho

FB-DIMM

■ Estrutura



Prof. Marlio Bonfim TE159 - Memórias

13

FB-DIMM

■ Características:

- Arquitetura "ponto a ponto":
 - cada módulo se comunica com apenas um outro através de um buffer: maior confiabilidade e integridade de dados
 - Linhas de comunicação melhor planejadas: par diferencial, unidirecional => maiores taxas, melhor imunidade a ruído
- Suporta até 6 canais de memórias, cada um com 8 módulos DIMM de 4 GB
 - Até 192 GB de DRAM contra 8 GB do DDR2 convencional
 - Banda passante de 6.7 GBps por canal, 40 GBps para 6 canais

Prof. Marlio Bonfim TE159 - Memórias

14

FB-DIMM

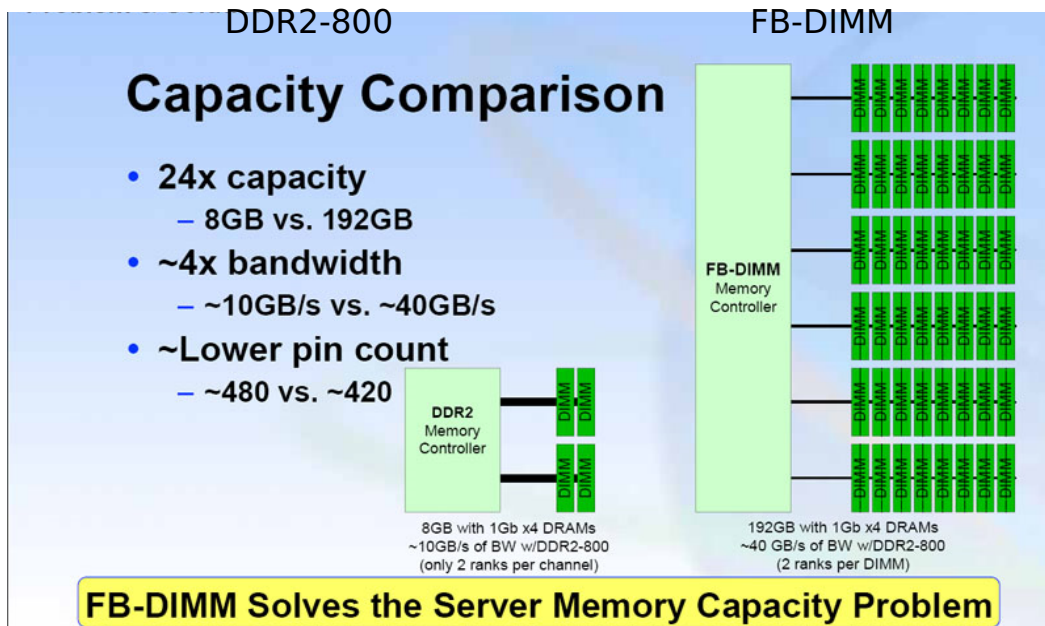
- Características:
 - Advanced Memory Buffer (AMB): chip de controle na placa DIMM
 - Controla fluxo de dados entre os chips de SDRAM e o controlador de memória (Northbridge) através do barramento serial/paralelo
 - Barramento serial/paralelo unidirecional:
 - 10 pares de diferenças para endereços e escrita de dados (Northbound)
 - 14 pares de diferenças para leitura de dados (Southbound)
 - Total de 69 vias (incluindo alimentação e vias de controle) contra 240 do DDR2 convencional

FB-DIMM

- Características:
 - Detecção e tratamento de erros
 - Usa códigos EEC (Error Checking and Correcting) para correção de erros

FB-DIMM

- Capacidade:



FB-DIMM

- Facilidade de roteamento na placa mãe:

